**THIẾT KẾ HỆ THỐNG SỐ VỚI HDL**

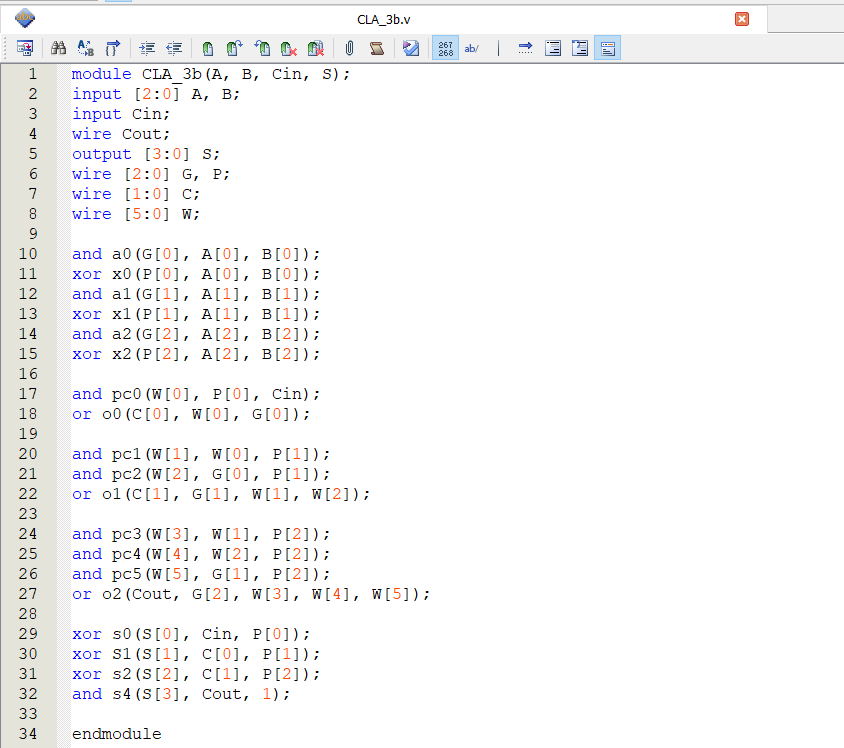
**BÀI THỰC HÀNH 1**

**GVHD:** Tạ Trí Đức

**Sinh viên thực hiện:** Phạm Quốc Tiến – 22521472

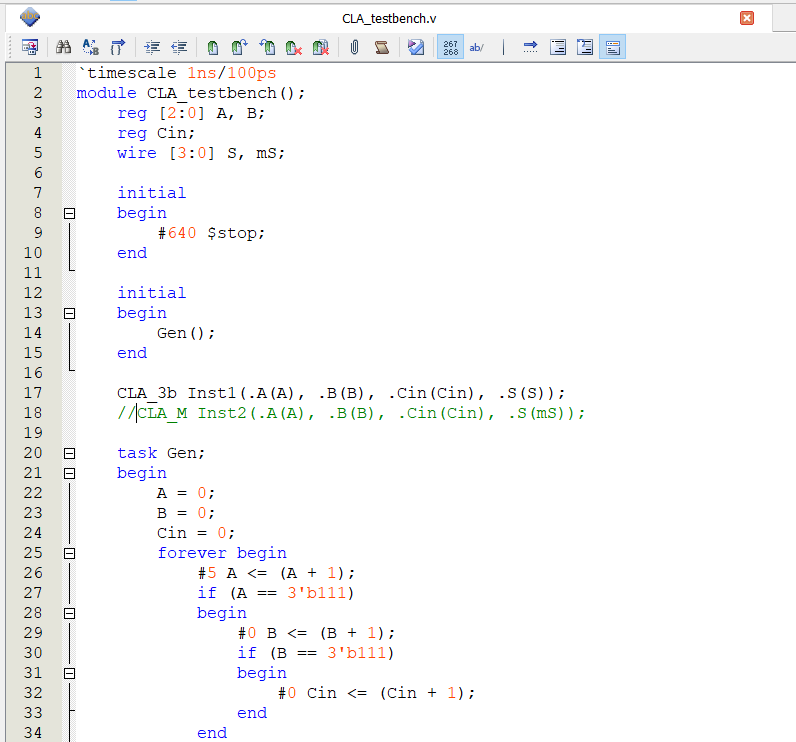
Trình tự thực hiện:

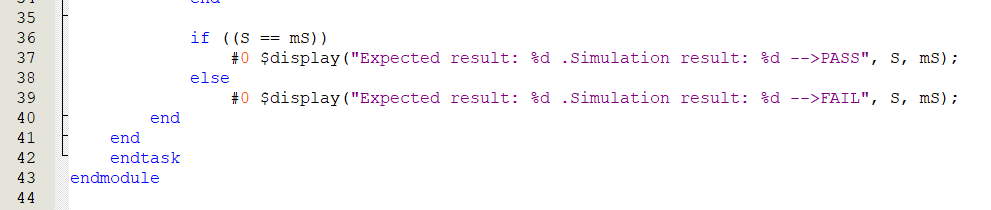
Tạo file verilog mới và mô tả module adder 3 bit trên file đó.



Sau đó lưu file lại với tên trùng với module (cái này do quartus yêu cầu).

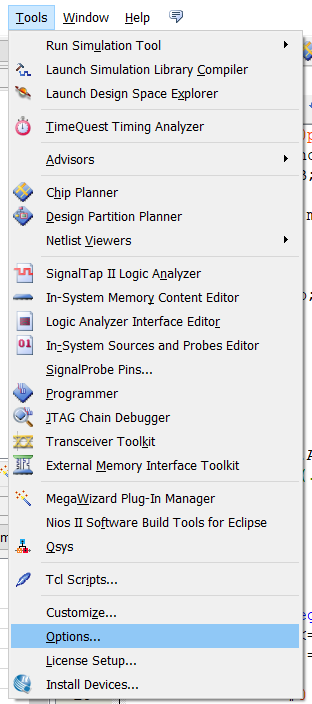
Tiếp theo đó lại tạo một file verilog mới và thực hiện mô tả testbench.



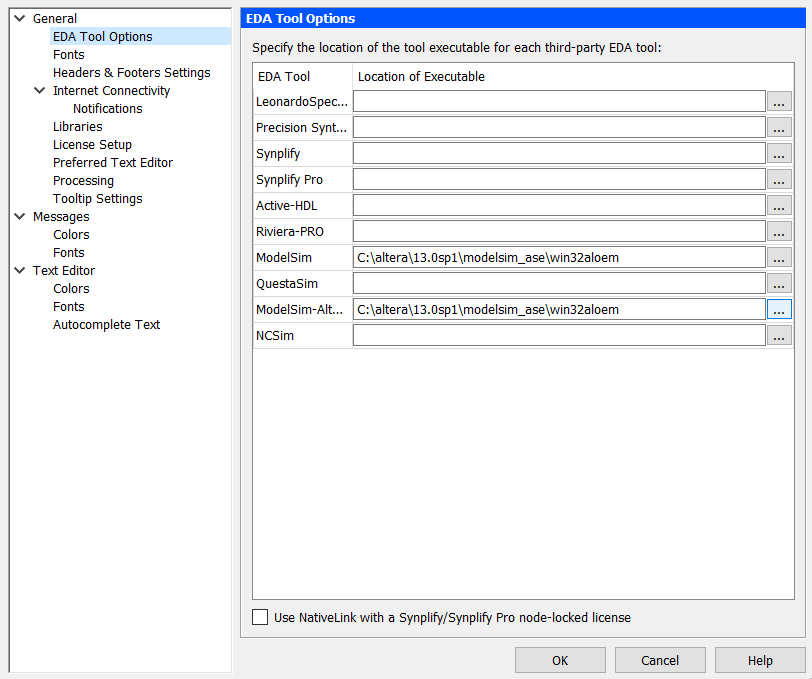


Do trong testbench cho sẵn có mô tả để test hai module cùng lúc nhưng trên quartus chỉ thực hiện testbench một module một lúc mà thôi, nên ta thực hiện comment module CLA\_M đi. Sau đó lưu file lại với tên trùng với testbench.

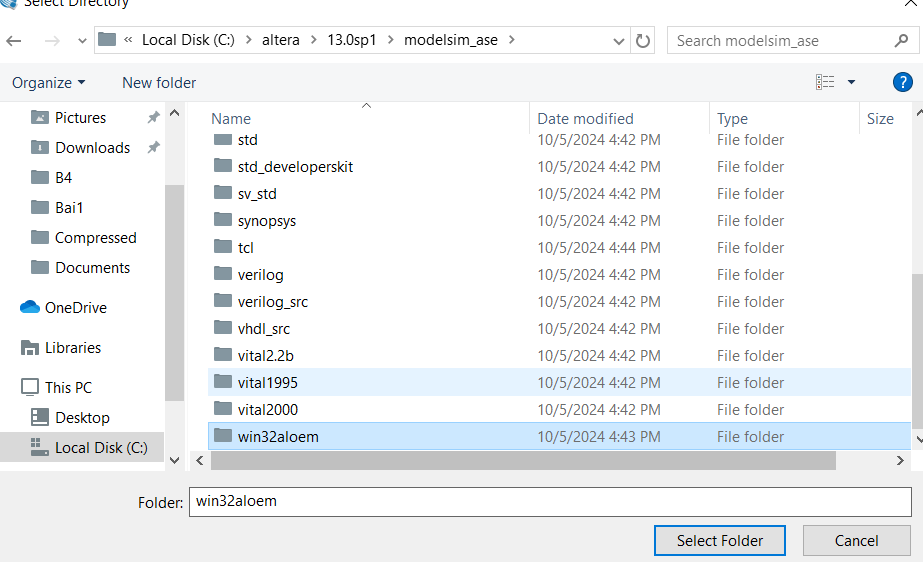
Tiếp đến chọn Tools -> Options…



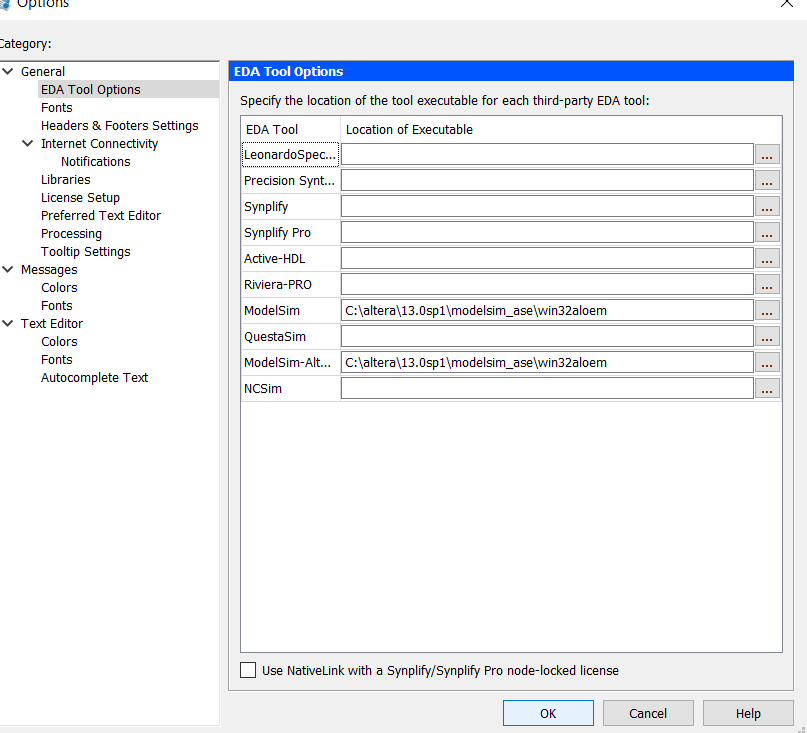
Chọn EDA Tool Options và chọn … ở phần ModelSim – Alt…



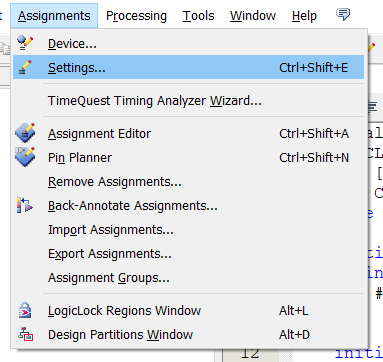
Chỉ đường dẫn đến folder win32aloem (nằm trong folder cài đặt quartus) và chọn Open.



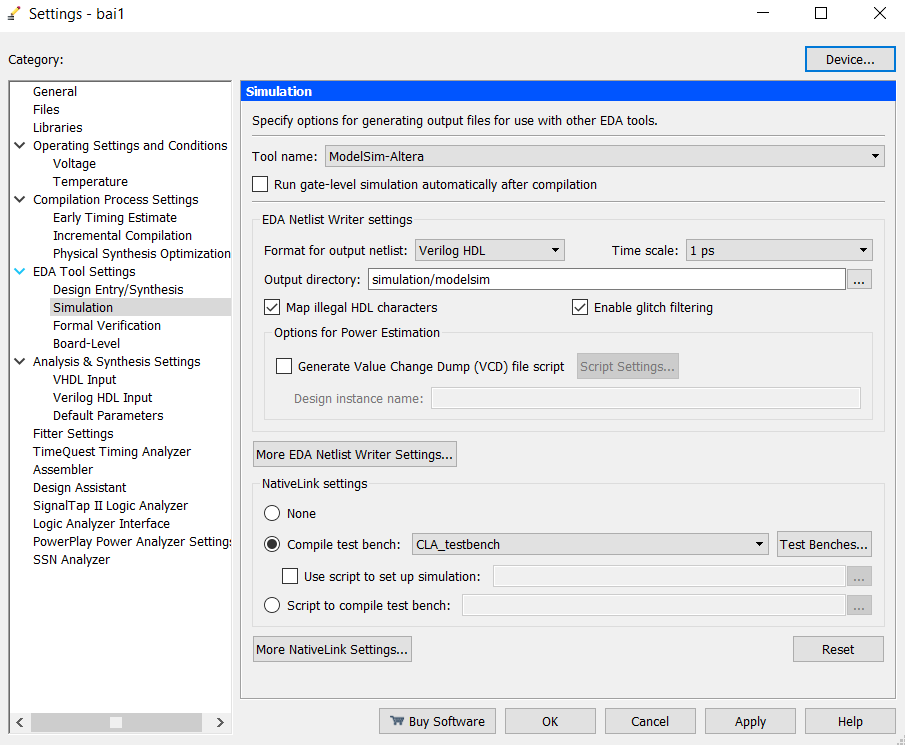
Rồi chọn Ok



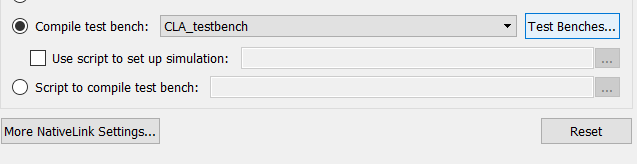
Tiếp theo thực hiện bấm Assignments -> Settings…



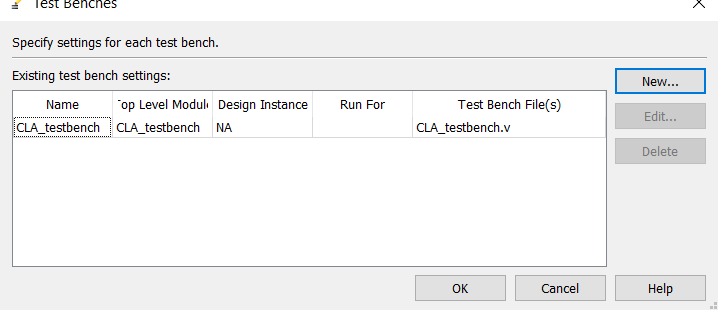
Nó sẽ ra một cái tab, chọn mục simulation để thiết lập. Chọn Tool name là ModelSim-Altera, sau đó chọn format là Verilog HDL và rồi chọn Compile test bench.



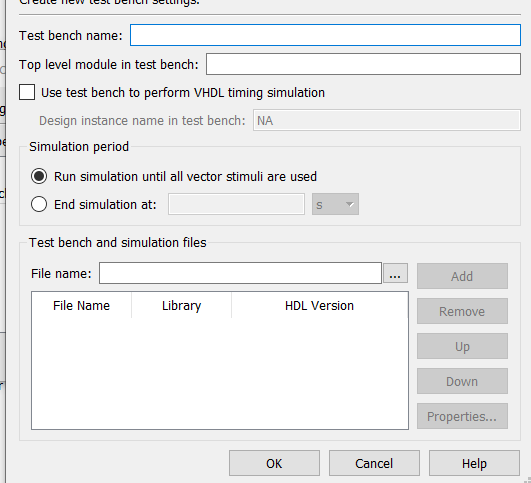
Bấm chọn Test Benches…



Nó sẽ một tab mới. Lúc này chọn New…



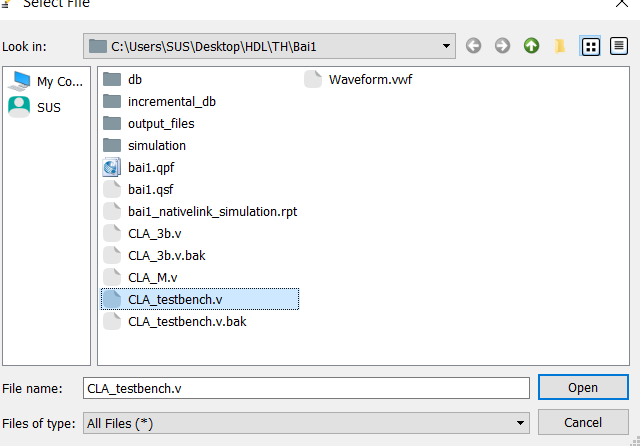
Nó sẽ ra một tab, đặt test bench name trùng tên với module test bench đã đặt trước đó.



Sau đó chọn …

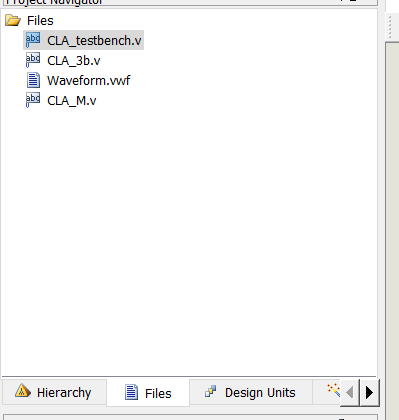


Và chọn đường dẫn tới file verilog testbench đã lưu và chọn Open.

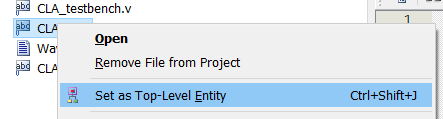


Sau đó nhấn Add và click hết Ok để hoàn thành.

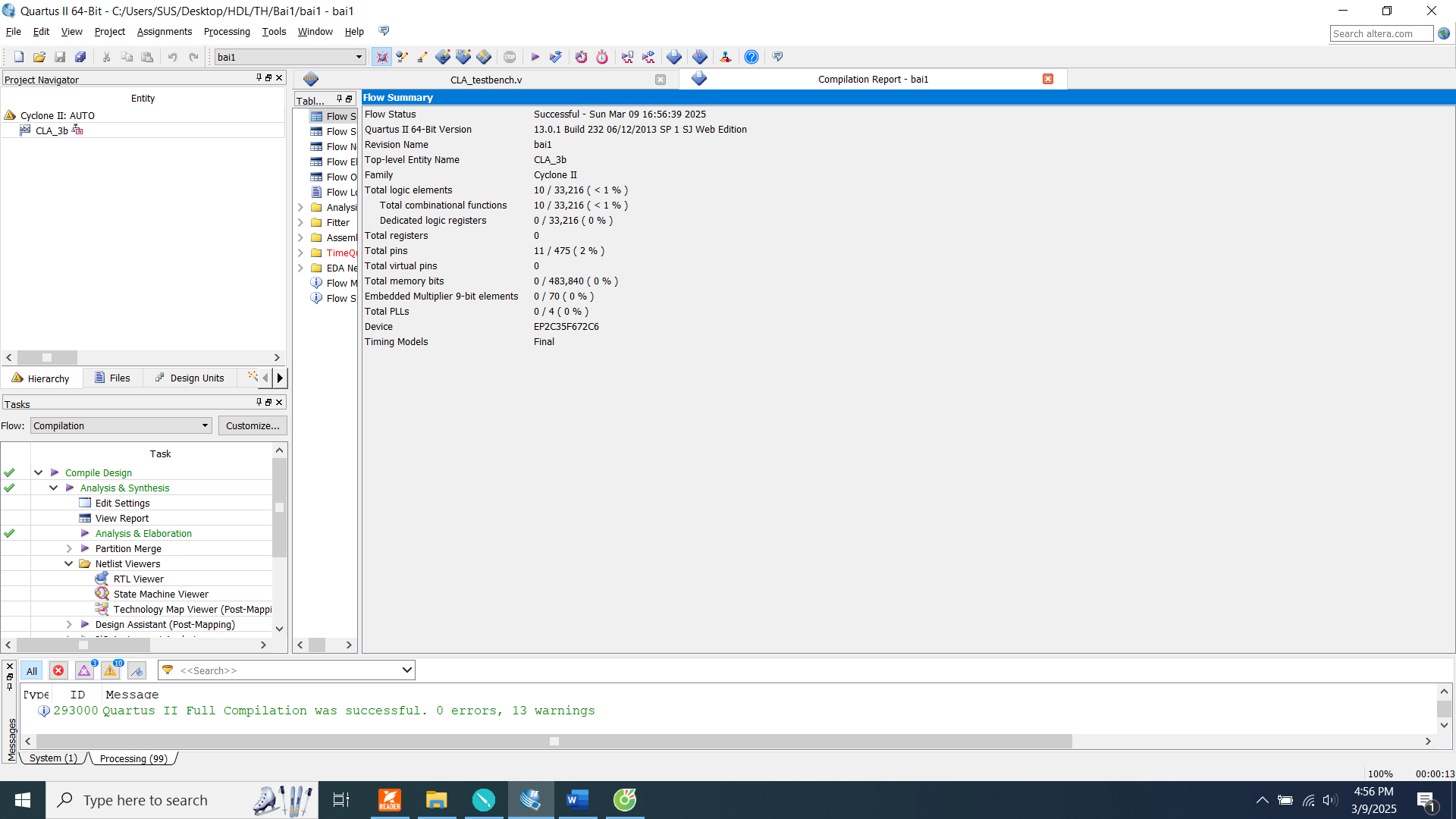
Lúc này chọn Files.



Set module muốn testbench lên top level.



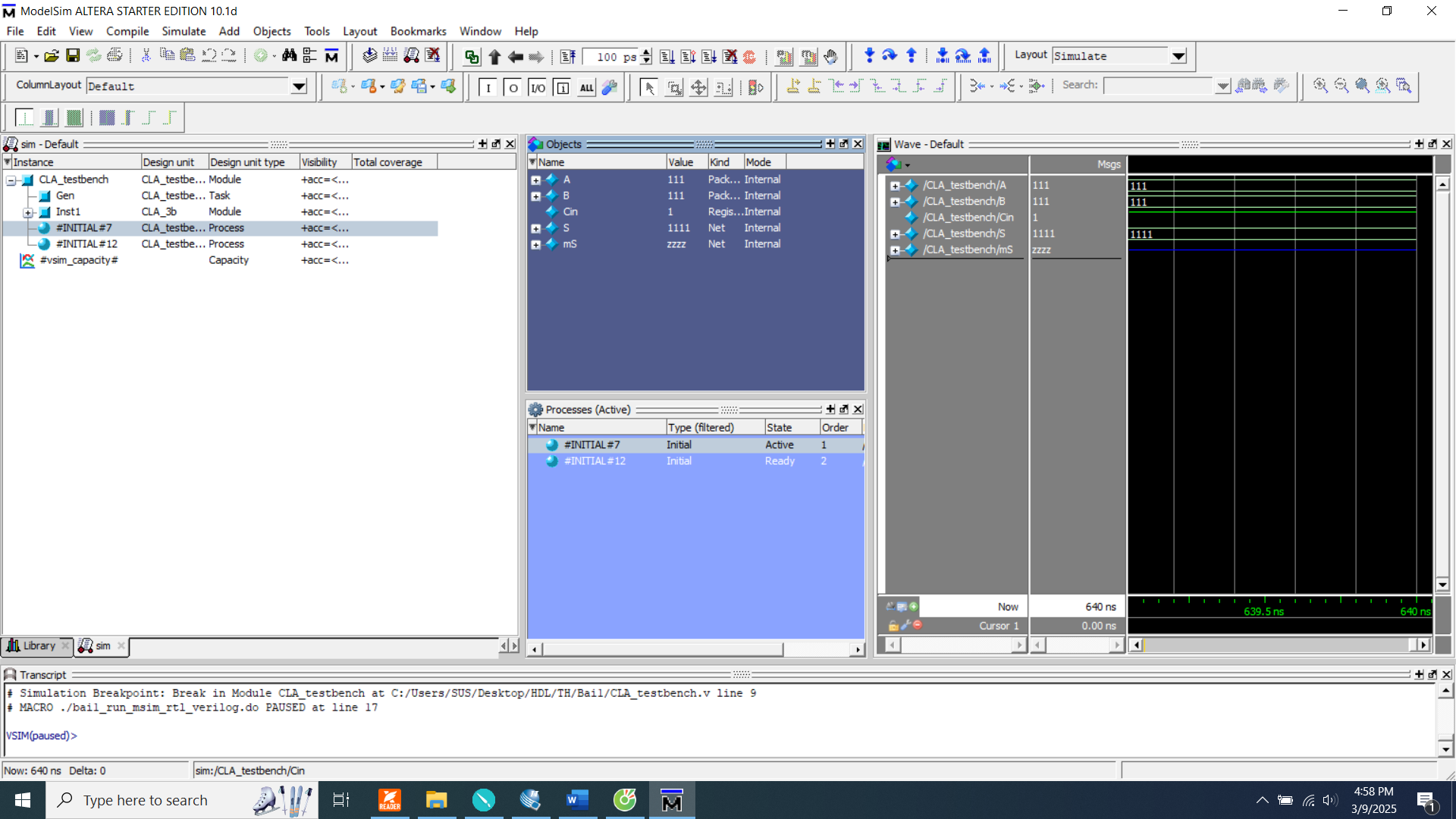
Sau đó thực hiện Start Compilation (Ctrl + L) và đợi quartus chạy xong.



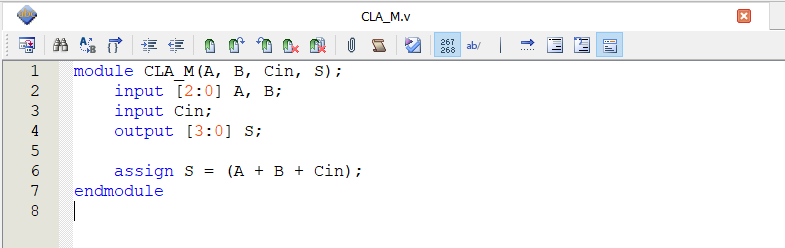
Rồi chọn Tools - > Run Simulation Tools -> RTL Simulation.



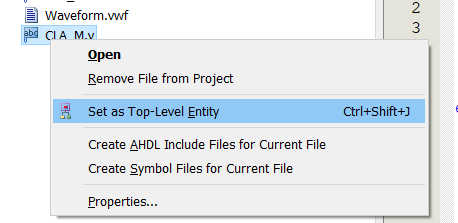
Nó sẽ ra cái tab có dạng sóng là thành công.



Tiếp tục test module khác là module CLA\_M. Ta thực hiện tạo một file verilog mới (do quartus chỉ chấp nhận một module trong một file verilog).



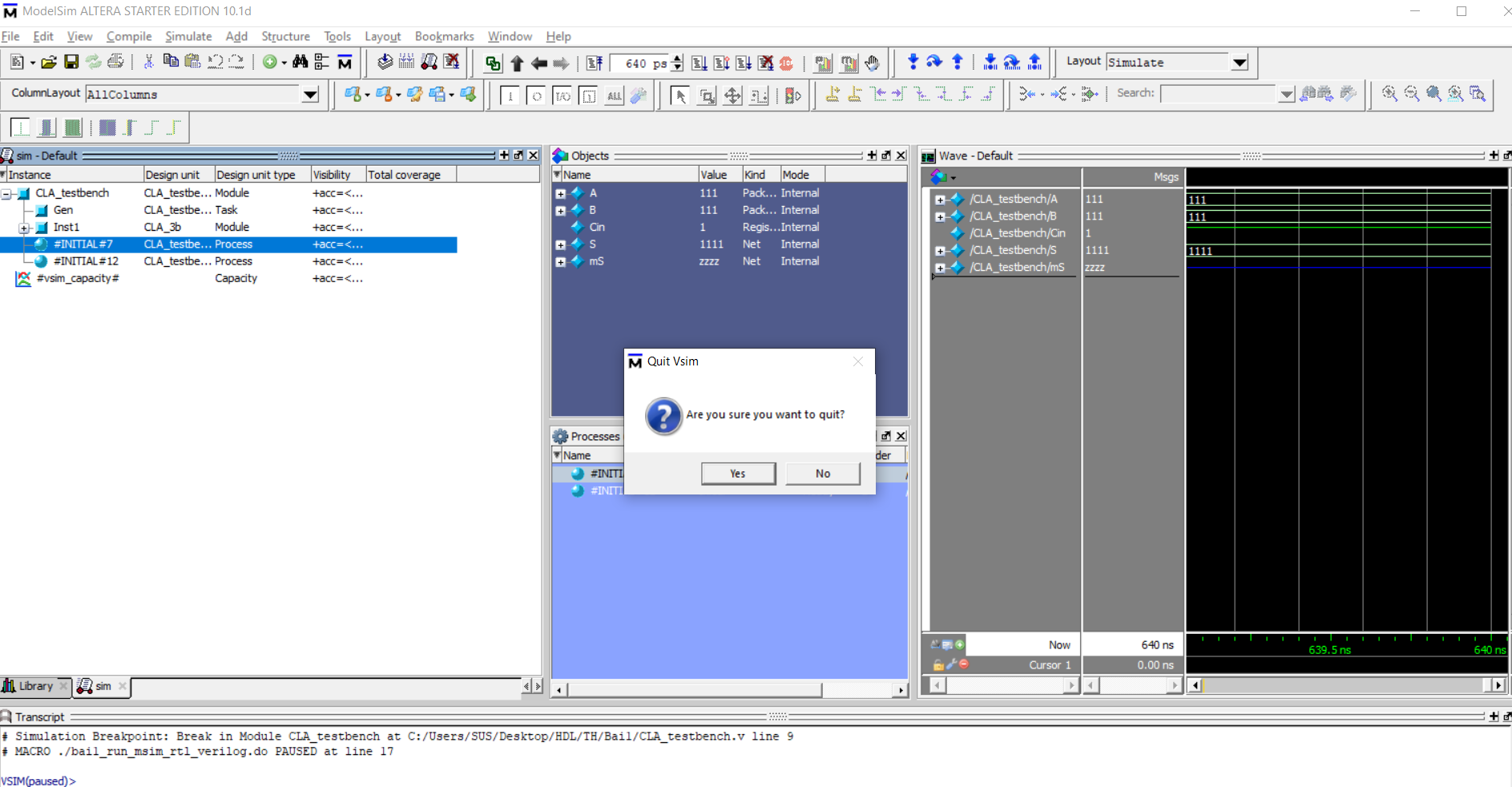
Set top level cho module.



Chỉnh lại file testbench.



Rồi Start Compilation -> RTL Simulation. Tuy nhiên trước khi chạy simulation thì phải tắt tab simulation trước đó.



Và thế là xong.

